

Video data processing device comprising a buffer memory

Patent Number:  EP0773689
Publication date: 1997-05-14
Inventor(s): COCHON E (FR); HANNA C THOMSON (FR); DORNER A THOMSON (FR)
Applicant(s):: THOMSON MULTIMEDIA SA (FR)
Requested Patent:  JP9261279
Application Number: EP19960402376 19961107
Priority Number(s): FR19950013281 19951109
IPC Classification: H04N7/32
EC Classification: H04N7/32B
Equivalents: CN1152244,  FR2741172

Abstract

The processor includes a first circuit which reads data packets of a fixed length and stores them in a buffer memory. A second circuit reads the data packets from the buffer memory. A pointer in the buffer memory is reset to zero when the start of a data packet is detected. The pointer is formed from a comparator which compares a synchronisation word at the beginning of the packet with the data received. The pointer allows the writing of data to a particular area of the buffer memory. The second circuit is initialised when reading of the buffer memory does not commence for a predetermined time interval after writing of the data packet in the buffer memory.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-261279

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 13/08			H 0 4 L 13/08	
G 0 6 F 5/06			G 0 6 F 5/06	Z
G 1 1 C 7/00	3 1 8		G 1 1 C 7/00	3 1 8 Z
H 0 4 N 7/08			H 0 4 N 7/08	Z
7/081			7/13	A
審査請求 未請求 請求項の数 3 O L (全 5 頁) 最終頁に続く				

(21) 出願番号 特願平8-295520

(22) 出願日 平成8年(1996)11月7日

(31) 優先権主張番号 9 5 1 3 2 8 1

(32) 優先日 1995年11月9日

(33) 優先権主張国 フランス (F R)

(71) 出願人 391000771

トムソン マルチメディア ソシエテ ア
ノニムTHOMSON MULTIMEDIA
S. A.フランス国, 92648 プローニュ セデッ
クス, ケ・アルフォンス・ル・ガロ 46

(72) 発明者 シャラフ アンナ

フランス国 38420 ドメーヌ リュ・マ
リウス・シャルル ロティスマン・ブレ
ブシュ (番地なし)

(74) 代理人 弁理士 伊東 忠彦 (外1名)

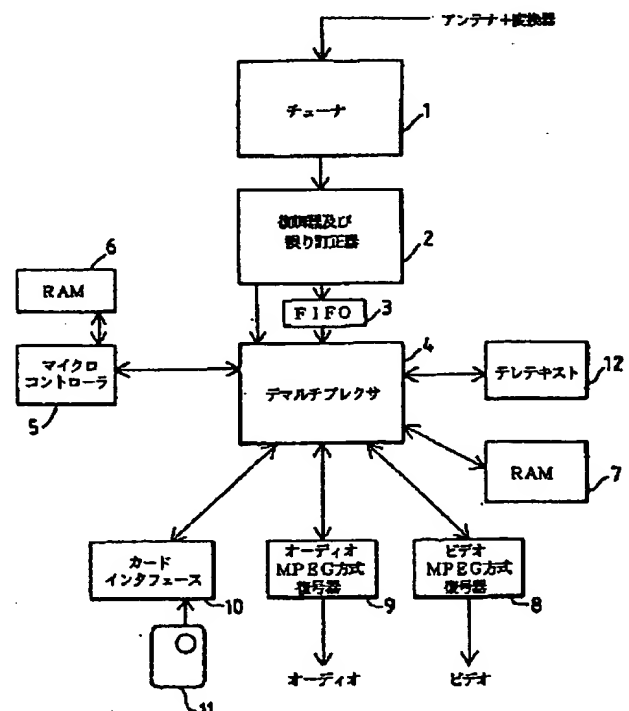
最終頁に続く

(54) 【発明の名称】 バッファメモリを有するデータ処理装置

(57) 【要約】

【課題】 本発明は、システムの性能を考慮すると共に、寸法が最小限に抑えられたバッファメモリを含むデータ処理装置の提供を目的とする。

【解決手段】 本発明のデータ処理装置は、バッファメモリ (3) がバッファメモリに長さLのデータパケットを書込む第1の回路 (2) とバッファメモリからパケットを読み出す第2の回路 (4) の間にある。上記装置は、バッファメモリを書込みポインタ (3) と、パケットの開始の検出時にポインタをゼロにリセットする手段 (2) とを有することを特徴とする。バッファメモリの寸法は、nが2以上の整数を表わす場合に、 L/n の端数が切り上げられた次の整数と一致する。本発明は、特に、デジタルテレビジョンの送受信の分野に適用される。



【特許請求の範囲】

【請求項1】 バッファメモリが、長さLのデータバケットを上記バッファメモリに書き込む第1の回路と、上記バッファメモリからバケットを読み出す第2の回路の間にあるデータ処理装置であって、

上記バッファメモリの書き込みポイントと、バケットの開始の検出時に上記ポイントをゼロにリセットする手段とを更に有し、

上記バッファメモリの寸法は、 n が2以上の整数を表わす場合に、次の整数に切り上げられた L/n と一致することを特徴とする装置。

【請求項2】 上記ポイントをゼロにリセットする手段は、バケット開始の同期の語を受信されたデータと比較する比較器よりなることを特徴とする請求項1記載の装置。

【請求項3】 データバケットの上記バッファメモリへの書き込みの開始後、指定された時間間隔の間に、上記バッファメモリからの読み出しが始められていないならば、上記第2の回路を再初期化する手段を更に有することを特徴とする請求項1又は2記載の装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、バッファメモリへのアクセスを有する回路を異なるレートで動作させることを目的としたバッファメモリを有するデータ処理装置に関する。本発明は、特に、デジタルデータをバケットで伝送するシステム、例えば、DVB（デジタルビデオ放送）のようなデジタルテレビジョン送受信システムに適用される。

【0002】

【従来の技術】 デジタルテレビジョン受信器は、受信及び復調部と、実際の情報処理部とを含む。受信部の出力のデータは、一般的に、所定の長さの2値語のバケットの形式をとる。情報処理部は受信部から伝送されるので、情報処理部が同一のレートでデータバケットを処理するとは限らず、処理レートが受信レートよりも非常に高い場合がある。従って、バッファメモリが受信部と情報処理部の間に挿入され、このバッファメモリは、受信部による書き込みと処理部による読み出しを分離し、上記各部は非同期的に動作する。

【0003】

【発明が解決しようとする課題】 システムの性能を考慮すると共に、このバッファメモリの寸法を最小限に抑えることが求められる。

【0004】

【課題を解決するための手段】 本発明の要旨は、バッファメモリが、バッファメモリに長さLのデータバケットを書込む第1の回路と、バッファメモリからバケットを読み出す第2の回路の間に設けられたデータ処理装置であって、上記バッファメモリの書き込みポイントと、バケ

ットの開始の検出時に上記ポイントをゼロにリセットする手段とを更に有し、上記バッファメモリの寸法は、 n が2以上の整数を表わす場合に、 L/n の端数が切り上げられた次の整数と一致することを特徴とするデータ処理装置である。

【0005】

【発明の実施の形態】 本発明の特定の一実施例によれば、上記ポイントをゼロにリセットする手段は、バケット開始の同期の語を受信されたデータと比較する比較器よりなる。本発明の特定の一実施例によれば、本発明の装置は、データバケットの上記バッファメモリへの書き込みの開始後、特定の時間間隔の間に、上記バッファメモリからの読み出しが開始されないならば、上記第2の回路を再初期化する手段を有する。

【0006】 本発明の他の特徴及び利点は、添付図面を参照して、その例に限定されることのない特定の実施例の説明を読むことにより明らかになる。

【0007】

【実施例】 図1にはデジタルテレビジョン復号器のブロック図が示される。復号器は、パラボラアンテナにより受信された信号を変換する低ノイズ周波数変換器に接続されたチューナ1を有する。チューナは、ベースバンド変調された信号を得ることができ、その信号は、復調器/誤り訂正器2により復調と誤り訂正を受ける。本発明の一実施例によれば、誤り訂正はリードソロモン形である。デジタル信号が回路2の出力で得られる。上記信号により伝搬されたデータストリームは、188バイトの固定長を有する輸送バケットと呼ばれるデータバケットを含む。バケットの構成は、一般的に、ビデオ及びオーディオのMPEG2方式と呼ばれるISO/IEC 13818-1乃至ISO/IEC 13818-3規格に記載されている。この文脈において、例えば、種々のバケット内のデータフィールドのタイプ及び長さを表わすMPEG2方式のアネックスFが考慮される。

【0008】 復調器及び誤り訂正器2は、FIFO（先入れ先出し）スタック構造を有する同期メモリ3への書き込みを行う。（例えば、符号4等によって示される）データ処理部は、各処理部の独自のベースで上記メモリからデータを読み出す。デマルチプレクサ回路4は、ある種のタイプの所定のデータが受信されたバケット内に存在することを通知することを意図されたフィルタを有する。例えば、オーディオ、ビデオ、アクセス制御データ等のデータのタイプは、識別語によりタグ付けられ、フィルタによってある個数の所定のデータと比較される。フィルタ処理の結果に依存して、バケット又はバケットのセグメントは、適当なアプリケーション復号器に供給される。

【0009】 デマルチプレクサ4は、デマルチプレクサの内部レジスタに書き込みを行い、特に、プログラム可能

なフィルタを格納するRAMメモリ6を管理するマイクロコントローラ5により制御される。デマルチプレクサ4は、フィルタ処理されるべき2進語に基づいて上記RAMメモリのアドレスを指定し、RAMメモリからフィルタ処理の結果を読み出す。このようなフィルタ処理は、仏国特許出願FR第95 02348号明細書により詳細に記載されている。

【0010】アプリケーション復号器は、例えば、SGストムソン製の集積回路が実装されたビデオMPEG2方式復号器8及びオーディオMPEG2方式復号器9により構成される。チップカード11用のインタフェース10はデマルチプレクサ4に接続され、デマルチプレクサ4は、チップカードの特定のアドレスに関係したチップカードアクセス制御管理データと、カードが伝送された内容のスクランブルを解除するため必要とされる制御語を判定するための許可メッセージとを送出する。インタフェース10とカード11の間の通信のプロトコルは、ISO 7186-3規格に準拠する。「テレテキスト」再挿入回路12は、ビデオデータから別のバケットで送信されたテレテキストデータをビデオ信号中に挿入する。本発明の一実施例によれば、テレテキスト回路は、仏国特許出願FR第94 08195号明細書に記載されているような回路である。

【0011】デマルチプレクサ4は、アプリケーション復号器、チップカードインタフェース、及びテレテキスト回路と共に、RAM7の資源を共有する。バッファは、種々の回路に設けられる。デマルチプレクサは、バッファ内にデータを一時的に記憶し、次いで、そのデータは上記回路により読み出される。MPEG2方式の輸送バケットは188バイトの長さを有する。先入れ先出しメモリ3の寸法は、この長さの値に基づいて選択される。かくして、経済的な目的のため、バケット全体の寸法よりも短いサイズの先入れ先出しメモリを使用することが要求される。

【0012】先入れ先出しメモリ3は、書き込みアドレスポインタ及び読み出しアドレスポインタによって管理される。ポインタがメモリの最後に達したとき、ポインタは自動的にゼロにリセットされる。本発明の一実施例に関する限り、上記ポインタはメモリ3の一体的な部分を形成する。メモリの寸法は、以下の条件、即ち、バケットの最後が一定のアドレスに書かれるとき、このアドレスと、次のバケットの書き込みが始まるアドレスとの間隔を最大にするという条件に基づいて選択される。これにより、データが以降のバケットの書き込みにより消去される前に、デマルチプレクサ4が上記メモリからデータを読むため利用可能な時間を最大にすることが可能である。

【0013】本発明の一実施例によれば、メモリの寸法は63バイトである。この寸法は、3で除算されたバケットの寸法が整数を与えない場合に、次の整数に切り上

げられたデータバケットの寸法の3分の1に対応する。図2には、典型的なバケットのメモリ3への書き込み方法、即ち、中断されることなく書き込まれたバケットが示される。バケットの書き込みは、固定アドレス、通例アドレス0で始まる。立ち上がりエッジが輸送バケットの開始を通知するデータ有効信号が復調器及び訂正器回路2により送出されたとき、或いは、システムの動作に対する割り込み後に、書き込みポインタはゼロにリセットされる。上記の有効信号は、バケットの読み出しが可能であることを知らせるべく、デマルチプレクサの構成部品にも伝送される。

【0014】第1のバス（図2において数字1で示される）の間に、バケットの中の最初の63バイトが書き込まれ、書き込みポインタは、メモリの最後で輪状にアドレス0へ戻る。同様に、次の63バイトが第2のバス中に書き込まれる。第3のバスの間に、バケットの最後がメモリの最後から2番目のアドレスに書き込まれ、次のバケットの書き込みのため書き込みカウンタがゼロにリセットされる前に、1バイトが空いたままの状態にされる。

【0015】従って、メモリの寸法に対し、バケットの最後のバイトと、次のバケットの最初のバイトの間隔が、最適化される。読み出しポインタは、バケットの最後、又は、システムの中断（誤りのあるデータ、電源不良等）の後にゼロにリセットされ、次のバケットの開始アドレスは、アドレス0に固定される。

【0016】本発明の他の一実施例によれば、デマルチプレクサがバケットの書き込み開始後の所定のクロックサイクル数の間にバッファメモリを未だ読み出し始めているならば、デマルチプレクサを再初期化する信号が発生される。この信号は、強制的にデマルチプレクサによるバケットの処理を進行させ始め、再初期化の効果により、デマルチプレクサはあらゆる異常な状態から脱出させられる。上記本発明の一実施例によれば、デマルチプレクサは、バッファメモリに書き込まれたデータと高速に同期される。かくして、回路2により回路4に伝送されたデータ有効信号は、単に新しいバケットの存在を回路4に通知するだけであり、回路4に新しいバケットを強制的に考慮させることはない。これにより、回路4は、場合に応じて前のバケットの処理を終了させることが可能である。上記実施例の枠組みの範囲内で、バケットの中の最初の58バイトの書き込みが読み出しの開始前に完了したとき、再初期化信号が発生させられる。

【0017】本発明が実施例の説明のために与えられた数値に限定されないことは明らかである。特に、データバケットの寸法に対し、メモリの寸法を定めるために使用された除算の係数は、3以外の数でも構わない。上記の例において、この係数がバケットの寸法の除数であるかどうか依存して、次の整数への切上げが必要ではない場合がある。

【図面の簡単な説明】

【図1】衛星デジタルテレビジョン受信器のブロック図である。

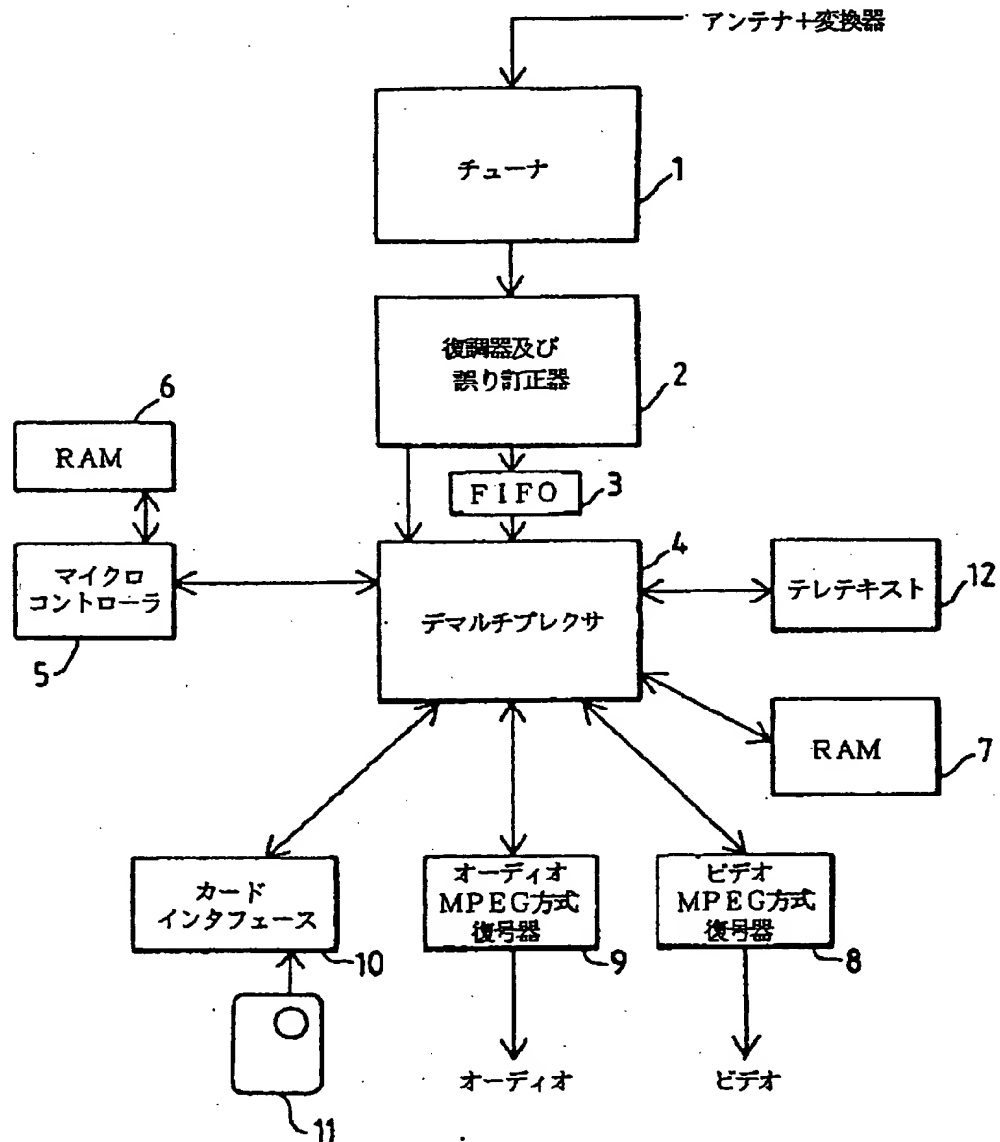
【図2】本発明の一実施例によるメモリをデータバケットの寸法に示す図である。

【符号の説明】

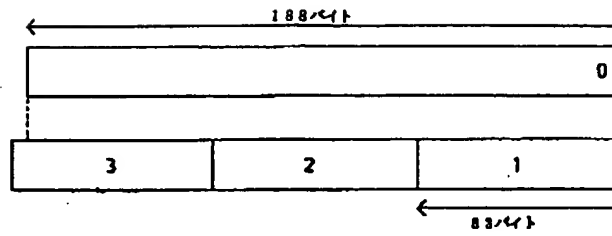
- 1 チューナ
2 復調器／誤り訂正器
3 同期メモリ

- 4 デマルチプレクサ
5 マイクロコントローラ
6, 7 RAMメモリ
8 ビデオMPEG方式復号器
9 オーディオMPEG方式復号器
10 インタフェース
11 チップカード
12 テレテキスト再挿入回路

【図1】



【図 2】



フロントページの続き

(51)Int.Cl.⁴

H 0 4 N 7/24

識別記号

庁内整理番号

F I

技術表示箇所

(72)発明者 アルベルト ドルナー
 ドイツ連邦共和国 77933 ラール・キッ
 ペンハイムヴァイラー イム・ブライタッ
 カー 15番

(72)発明者 エティエン コション
 フランス国 35000 レンヌ リュ・アリ
 ステイド・ブリアン 105番